



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2002-0086277  
Application Number

출 원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

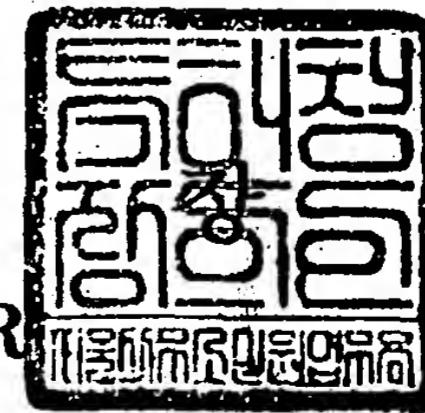
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



1020020086277

출력 일자: 2003/5/15

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.12.30
【발명의 명칭】	다중 게이트산화막의 형성 방법
【발명의 영문명칭】	Method of forming multiple gate oxide
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	조홍재
【성명의 영문표기】	CHO,Heung Jae
【주민등록번호】	700123-1122410
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 105-904
【국적】	KR
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM,Kwan Yong
【주민등록번호】	700925-1457214
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을주공아파트 139-1001
【국적】	KR
【심사청구】	청구

1020020086277

출력 일자: 2003/5/15

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
특허법인 신성 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 362,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

### 【요약서】

#### 【요약】

본 발명은 플라즈마질화법에 의한 듀얼 게이트산화막 기술의 한계를 극복하면서 단순한 공정을 통해 서로 상이한 게이트산화막 두께를 갖는 여러 소자를 한 칩내에 형성하는데 적합한 다중 게이트산화막 형성 방법을 제공하기 위한 것으로, 본 발명의 다중 게이트산화막 형성 방법은 기판 상에 제1 게이트산화막을 형성하는 단계, 상기 제1 게이트산화막 상에 상기 제1 게이트산화막의 제1 영역을 덮는 제1 마스킹층을 형성하는 단계, 상기 제1 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제2영역 표면을 질화시키는 단계, 상기 제1 마스킹층을 제거하는 단계, 상기 제1 게이트산화막의 제1 영역과 제2 영역을 덮되 상기 제2 영역 중의 일부-제1 게이트산화막의 제3 영역이라고 함-을 노출시키는 제2 마스킹층을 형성하는 단계, 상기 제2 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제3 영역을 식각하여 상기 기판의 표면을 노출시키는 단계, 및 상기 노출된 기판과 상기 제1 게이트산화막의 제1 영역 상에 제2 게이트산화막을 형성하는 단계를 포함하므로써, 다중 게이트산화막을 용이하게 형성할 수 있는 효과가 있다.

#### 【대표도】

도 2e

#### 【색인어】

다중 게이트산화막, 듀얼 게이트산화막, 트리플 게이트산화막, 플라즈마질화

**【명세서】****【발명의 명칭】**

다중 게이트산화막의 형성 방법{Method of forming multiple gate oxide}

**【도면의 간단한 설명】**

도 1a 내지 도 1c는 종래 기술에 따른 다중 게이트산화막의 형성 방법을 도시한 공정 단면도,

도 2a 내지 도 2e는 본 발명의 실시예에 따른 다중 게이트산화막 형성 방법을 도시한 공정 단면도.

도 3은 본 발명의 다중 게이트산화막을 적용하여 다양한 소자를 온칩화한 반도체 기판을 도시한 도면.

**\*도면의 주요 부분에 대한 부호의 설명**

31 : 반도체 기판

32 : 제1 게이트산화막

33 : 제1 마스킹층

34 : 질화층

35 : 제2 마스킹층

36 : 제2 게이트산화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 다중 게이트 산화막의 형성 방법에 관한 것이다.
- <9> 최근에는 다양한 제품들의 요구조건을 만족시키기 위해 여러 가지 목적에 맞는 소자들을 하나의 칩내에 형성한 SOC(System On Chip) 기술이 연구되고 있다. 이러한 SOC 기술에서는 각 소자의 동작 전압이 다른데, 이때 공정상 반드시 필요한 기술이 서로 상이한 두께를 갖는 게이트산화막을 형성하는 기술이다. 즉, 높은 전압이 걸리는 고전압소자에는 신뢰성 향상을 위해 두꺼운 게이트산화막이 필요하며, 소자의 동작 속도가 중요시되는 저전압소자에서는 얇은 게이트산화막이 사용되어야 한다.
- <10> 이러한 요구 조건에 의해 개발된 것이 듀얼 게이트산화막(Dual gate oxide) 기술이다.
- <11> 이렇게 두 소자의 상이한 두께를 갖는 공정보다 한 칩내에 세 영역으로 구분되는 소자에 각 목적에 맞게 게이트산화막 두께를 조절하면 설계 및 소자의 마진뿐만 아니라 더욱 다양한 제품을 제조할 수 있다. 예를 들면, 고전압소자, 저전압 소자, 중간전압 소자의 세 영역에 각각 목적에 맞게 게이트산화막을 형성할 수 있다.
- <12> 따라서, 각 소자에 맞게 게이트산화막 두께를 달리하는 다중 게이트산화막(Multiple gate oxide) 기술이 요구되고 있다.
- <13> 미국 특허 6,110,842호에 다중 게이트산화막 기술이 개시되어 있다(도 1 참조).

- <14> 도 1a' 내지 도 1c는 종래 기술에 따른 다중 게이트산화막의 형성 방법을 도시한 공정 단면도이다.
- <15> 도 1a에 도시된 바와 같이, 기판(10) 상에 기판(10)의 일부(16)를 노출시키는 레지스트패턴(12)을 형성한 후, 고밀도플라즈마질화(High density plasma nitridation)를 이용하여 기판(10)의 노출 표면에 옥시나이트라이드층 또는 얇은 질화층(18)을 형성한다.
- <16> 도 1b에 도시된 바와 같이, 레지스트패턴(12)을 제거한다.
- <17> 도 1c에 도시된 바와 같이, 산화 공정을 진행하여 기판(10) 표면상에 두꺼운 실리콘산화막(20a)과 얇은 실리콘산화막(20b)의 듀얼 게이트산화막을 형성한다.
- <18> 이때, 질화층(18)이 형성되어 있던 기판(10)의 표면(16)에는 질화층(18)에 의해 산화가 지연되어 얇은 실리콘산화막(20b)이 형성되고, 질화층(18)이 존재하지 않는 기판의 표면(14)에는 두꺼운 실리콘산화막(20a)이 형성된다.
- <19> 전술한 종래 기술에서는 선택적으로 기판(10) 표면을 질화시키기 때문에 단지 듀얼 게이트산화막만 형성시킬 수 밖에 없는 단점이 있고, 이를 다중 게이트산화막 제조에 적용하기 위해서는 공정이 복잡해지는 문제가 있다.

### 【발명이 이루고자 하는 기술적 과제】

- <20> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 질화법에 의한 듀얼 게이트산화막 기술의 한계를 극복하면서 단순한 공정을 통해 서로 상이한 게

이트산화막 두께를 갖는 여러 소자를 한 칩내에 형성하는데 적합한 다중 게이트산화막 형성 방법을 제공하는데 그 목적이 있다.

### 【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위한 본 발명의 다중 게이트산화막 형성 방법은 기판 상에 제1 게이트산화막을 형성하는 단계, 상기 제1 게이트산화막 상에 상기 제1 게이트산화막의 제1 영역을 덮는 제1 마스킹층을 형성하는 단계, 상기 제1 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제2영역 표면을 질화시키는 단계, 상기 제1 마스킹층을 제거하는 단계, 상기 제1 게이트산화막의 제1 영역과 제2 영역을 덮되 상기 제2 영역 중의 일부-제1 게이트산화막의 제3 영역이라고 함-을 노출시키는 제2 마스킹층을 형성하는 단계, 상기 제2 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제3 영역을 식각하여 상기 기판의 표면을 노출시키는 단계, 및 상기 노출된 기판과 상기 제1 게이트산화막의 제1 영역 상에 제2 게이트산화막을 형성하는 단계를 포함하는 것을 특징으로 하고, 상기 제1 게이트산화막의 제2 영역 표면을 질화시키는 단계는, 플라즈마질화법을 이용하는 것을 특징으로 한다.

<22> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<23> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 다중 게이트산화막 형성 방법을 도시한 공정 단면도이다.

- <24> 도 2a에 도시된 바와 같이, 반도체 기판(31) 상에 1차 산화 공정을 통해 제1 게이트산화막(32)을 5Å ~ 200Å 두께로 형성한다. 예컨대, 제1 게이트산화막(32)은 제1 영역(I)과 제2 영역(II)으로 구분된다.
- <25> 다음에, 제1 게이트산화막(32) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 제1 영역(I)을 덮고 나머지 제2 영역(II)을 오픈시키는 제1 마스킹층(33)을 형성한다.
- <26> 도 2b에 도시된 바와 같이, 제1 마스킹층(33)에 의해 노출된 제1 게이트산화막(32)의 제2 영역(II) 표면을 질화시켜 제1 게이트산화막(32) 표면에 질화층(34)을 형성한다.
- <27> 이때, 제1 게이트산화막(32) 표면을 질화시키는 방법은, 플라즈마질화법(plasma nitridation)을 이용한다. 예컨대, 제1게이트산화막(32) 표면 상부에 직접 질소 플라즈마(nitrogen plasma)를 형성시켜 질화시키거나, 다른 곳에서 질소 플라즈마를 형성한 후 질소 라디칼(nitrogen radical)만을 제1게이트산화막(32) 표면 상부로 끌어와 질화시킨다.
- <28> 이와 같은 플라즈마질화법에서 소스기체는 N<sub>2</sub>, NO, N<sub>2</sub>O, NH<sub>3</sub>, NF<sub>3</sub> 또는 이들 기체들의 혼합기체의 그룹으로부터 선택된 질소를 함유하는 소스기체 또는 상기 소스기체에 O<sub>2</sub> 또는 O<sub>3</sub>가 혼합된 소스기체를 이용한다.
- <29> 그리고, 플라즈마질화법은 소스파워를 100W ~ 1000W로 인가하고, 바이어스 파워를 0W ~ 10W로 인가하며, 플라즈마 처리 시간은 5초 ~ 500초이고, 기판온도는 0°C ~ 600°C을 유지하며, 소스기체 유량은 5sccm ~ 500sccm이다.

- <30> 전술한 바와 같은 플라즈마질화에 의해 제1 게이트산화막(32) 표면에 형성되는 질화층(34)의 질소 농도는 2%~20%이다.
- <31> 도 2c에 도시된 바와 같이, 제1 마스킹층(33)을 제거한다. 이때, 제1 마스킹층(33)의 제거는 산소 플라즈마( $O_2$  plasma)를 이용한 건식식각법,  $H_2SO_4$ 를 이용한 습식식각법 또는 씨너(thinner)를 이용한 식각법을 이용한다.
- <32> 다음에, 다시 감광막을 도포하고 노광 및 현상으로 패터닝하여 제1 게이트산화막(32)의 제2 영역(Ⅱ)의 일부-제3 영역(Ⅲ)이라고 함-을 오픈시키고 나머지 제1 영역(Ⅰ)과 제2 영역(Ⅱ)을 덮는 제2 마스킹층(35)을 형성한다.
- <33> 도 2d에 도시된 바와 같이, 제2 마스킹층(35)에 의해 노출된 제3 영역(Ⅲ)의 제1 게이트산화막(32)과 질화층(34)을 습식 딥아웃(wet dip out)을 통해 제거하여 반도체 기판(31) 표면을 노출시킨다.
- <34> 이때, 습식 딥아웃시 이용되는 습식케미컬은 불산(HF) 계열 또는 BOE(Buffered Oxide Etchant) 계열을 이용한다.
- <35> 도 2e에 도시된 바와 같이, 제2 마스킹층(35)을 제거한다. 이때, 제2마스킹층(35)의 제거는 산소 플라즈마( $O_2$  plasma)를 이용한 건식식각법,  $H_2SO_4$ 를 이용한 습식식각법 또는 씨너(thinner)를 이용한 식각법을 이용한다.
- <36> 전술한 바와 같이, 제2 마스킹층(35)의 제거후, 제1 게이트산화막(32)의 제1 영역(Ⅰ)은 최초 두께를 유지하고 있고, 제1 게이트산화막(32)의 제3 영역(Ⅲ)을 제외한 제2 영역(Ⅱ)은 표면이 질화되어 형성한 질화층(34)이 형성되고는 있으나 그 두께에는 변함이 없다. 결국, 제1 게이트산화막(32)의 제3 영역(Ⅲ)만이 제거되고 잔류하지 않는다.

<37> 다음에, 2차 산화 공정을 실시하여 제2 게이트산화막(36)을 형성한다. 이때, 질화층(34)이 존재하는 제1 게이트산화막(32)의 제2 영역(Ⅱ)에는 제2 게이트산화막(36)의 재성장이 억제되고, 제1 게이트산화막(32)의 제1 영역(Ⅰ)이 제거되어 노출된 반도체 기판(31)과 제3 영역(Ⅲ)에만 제2 게이트산화막(36)이 형성된다. 즉, 질화층(34)이 산화 억제 효과를 가지므로 제1 게이트산화막(32)의 제2 영역(Ⅱ)에는 제2 게이트산화막(36)의 재성장이 억제되는 것이다.

<38> 따라서, 하나의 반도체 기판(31) 상에 표면이 질화되어 형성된 질화층을 포함하는 가장 얇은 두께의 제1 게이트산화막(32)과, 제1 게이트산화막(32)보다 두꺼운 중간 두께의 제2 게이트산화막(36), 그리고 제1 게이트산화막(32)과 제2 게이트산화막(36)의 적층 막으로 이루어져 가장 두꺼운 두께를 갖는 게이트산화막의 트리플(triple) 게이트산화막을 형성할 수 있다.

<39> 한편, 각 게이트산화막의 두께를 조절하기 위한 변수로는 제1 게이트산화막(32)의 두께, 제1 게이트산화막(32)의 질화 정도, 그리고 2차 산화 조건 등으로 각 목적에 맞게 용이하게 두께를 변화시킬 수 있다.

<40> 도 1과 비교해 보면, 도 1에서는 선택적으로 기판 표면을 질화시키기 때문에 듀얼 게이트산화막만 형성시킬 수 있지만, 본 발명은 제1 게이트산화막 표면을 선택적으로 질화시키고 제1 게이트산화막을 이용하여 두께 차이를 낼 수 있기 때문에 듀얼 게이트산화막은 물론 트리플 게이트산화막까지도 제조할 수 있는 것이다.

<41> 도 3은 본 발명의 다중 게이트산화막을 적용하여 다양한 소자를 온칩화한 반도체 기판을 도시한 도면이다.

<42> 도 3에 도시된 바와 같이, 저전압(Low Voltage; LV) pMOSFET, 중간전압(Medium Voltage; MV) nMOSFET, 고전압(High Voltage; HV) nMOSFET 및 저전압(LV) nMOSFET가 형성될 하나의 반도체 기판(40)에 이들 MOSFET들을 분리시키기 위한 필드산화막(41)이 형성되고, 각 MOSFET는 서로 상이한 두께의 게이트산화막이 형성되어 있다.

<43> 먼저, 저전압(LV) pMOSFET와 저전압(LV) nMOSFET에는 표면에 질화층(44)이 형성된 얇은 제1게이트산화막(43)이 형성되고, 중간전압(MV) nMOSFET에는 제1 게이트산화막(43)보다 두꺼운 제2 게이트산화막(45)이 형성되며, 고전압 nMOSFET에는 얇은 제1게이트산화막(43)과 중간두께의 제2게이트산화막(45)이 적층된 두꺼운 게이트산화막이 형성된다.

<44> 그리고, 저전압(LV) pMOSFET는 표면에 질화층(44)이 존재하는 제1게이트산화막의 선택된 영역 상에 p형 도편트가 주입된 폴리실리콘막(이하 p<sup>+</sup> 폴리실리콘막)으로 된 p<sup>+</sup> 폴리실리콘 게이트전극(46)과 하드마스크(47)의 적층이 형성되고, 이 p<sup>+</sup> 폴리실리콘 게이트전극(46)과 하드마스크(47)의 적층의 양측벽에 스페이서(48)가 형성된다.

<45> 이와 같이, 표면이 질화된 제1게이트산화막을 이용하기 때문에 선택적으로 표면채널 p<sup>+</sup> 폴리실리콘막을 적용할 수 있어 대칭적 문턱전압(symmetric threshold voltage)을 구현할 수 있다.

<46> 다음으로, 저전압(LV) nMOSFET, 중간전압(MV) nMOSFET 및 고전압 nMOSFET 각각의 게이트산화막의 선택된 영역 상에 각각 n형 도편트가 주입된 폴리실리콘막으로 된 n<sup>+</sup> 폴리실리콘 게이트전극(49)과 하드마스크(47)의 적층이 형성되고, 이 적층의 양측벽에 스페이서(48)가 형성된다.

- <47> 도 3에서, 각 MOSFET는 서로 다른 게이트산화막 두께를 갖고 있기 때문에 각 게이트전극의 높이가 서로 다르다.
- <48> 도 3과 같이, 서로 다른 게이트산화막 두께를 요구하는 여러 소자를 하나의 칩에 형성할 때, 1차 산화, 질화, 습식딥아웃 및 2차 산화를 통해 서로 다른 게이트산화막 두께를 형성하므로, 하나의 칩에 서로 다른 동작전압을 갖는 여러 소자를 집적시킬 수 있다.
- <49> 이상에서 설명한 바와 같이 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명이 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 【발명의 효과】

- <50> 상술한 바와 같은 본 발명은 1차 산화, 게이트산화막 표면의 질화, 습식딥아웃 및 2차 산화를 통해 한 칩내에 다양한 두께의 게이트산화막을 형성할 수 있으므로 설계, 소자 및 공정의 마진을 넓힐 수 있으며, 다양한 제품들을 제조할 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 상에 제1 게이트산화막을 형성하는 단계;

상기 제1 게이트산화막 상에 상기 제1 게이트산화막의 제1영역을 덮는 제1 마스킹 층을 형성하는 단계;

상기 제1 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제2 영역 표면을 질화시키는 단계;

상기 제1 마스킹층을 제거하는 단계;

상기 제1 게이트산화막의 제1 영역과 제2 영역을 덮되 상기 제2 영역 중의 일부-제1 게이트산화막의 제3 영역이라고 함-을 노출시키는 제2 마스킹층을 형성하는 단계;

상기 제2 마스킹층에 의해 노출된 상기 제1 게이트산화막의 제3 영역을 식각하여 상기 기판의 표면을 노출시키는 단계; 및

상기 노출된 기판과 상기 제1 게이트산화막의 제1 영역 상에 제2 게이트산화막을 형성하는 단계

를 포함하는 다중 게이트산화막의 형성 방법.

**【청구항 2】**

제1항에 있어서,

상기 제1 게이트산화막의 제2 영역 표면을 질화시키는 단계는,

플라즈마질화법을 이용하는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

### 【청구항 3】

제2항에 있어서,

상기 플라즈마질화법은, N<sub>2</sub>, NO, N<sub>2</sub>O, NH<sub>3</sub>, NF<sub>3</sub> 또는 이들 기체들의 혼합기체의 그 룹으로부터 선택된 질소를 함유하는 소스기체 또는 상기 소스기체에 O<sub>2</sub> 또는 O<sub>3</sub>가 혼합된 소스기체를 이용하는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

### 【청구항 4】

제2항에 있어서,

상기 플라즈마질화법은, 5sccm~500sccm 범위내에서 흐르는 질소를 포함하는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

### 【청구항 5】

제2항에 있어서,

상기 플라즈마질화법은, 100W~1000W 범위의 소스파워와 0W~10W 범위의 바이어스파워를 인가하여 플라즈마를 발생시키고, 0°C~600°C 범위의 기판온도에서 5초~500초동안 이루어지는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

【청구항 6】

제1항에 있어서,

상기 제3 영역을 식각하여 상기 기판의 표면을 노출시키는 단계는, 습식딥아웃을 통해 이루어지는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

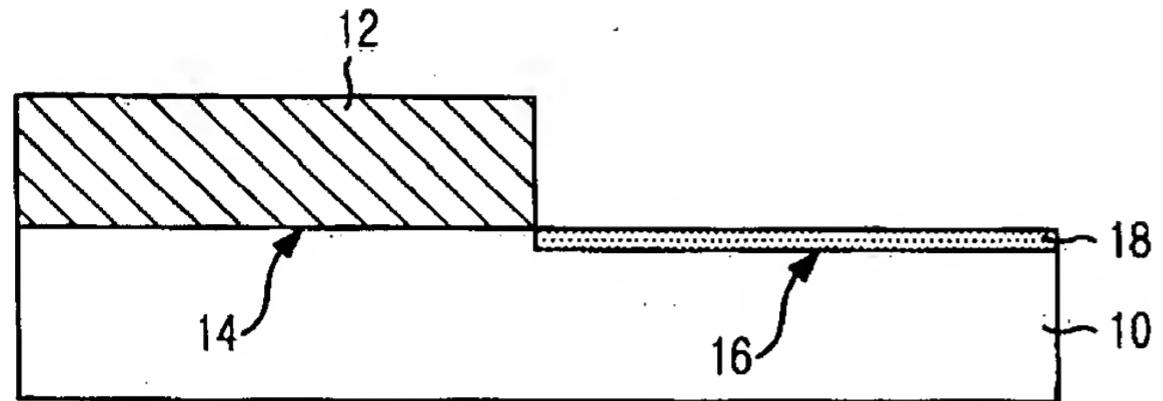
【청구항 7】

제6항에 있어서,

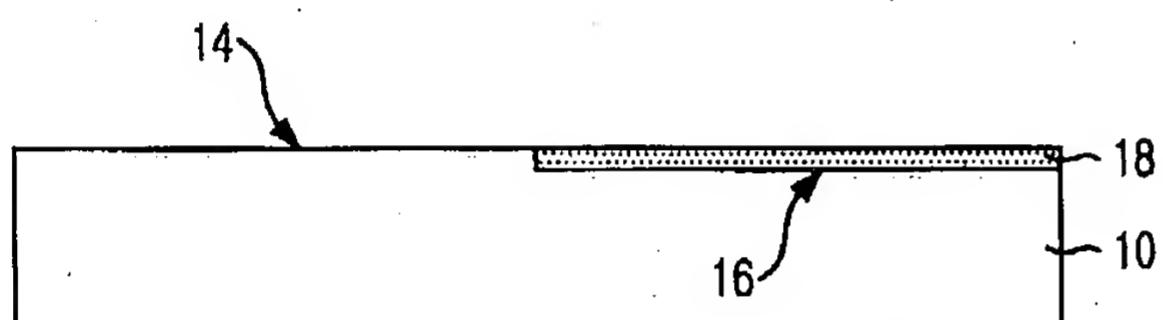
상기 습식딥아웃은 불산계열 또는 BOE 계열의 습식케미컬을 이용하는 것을 특징으로 하는 다중 게이트산화막의 형성 방법.

## 【도면】

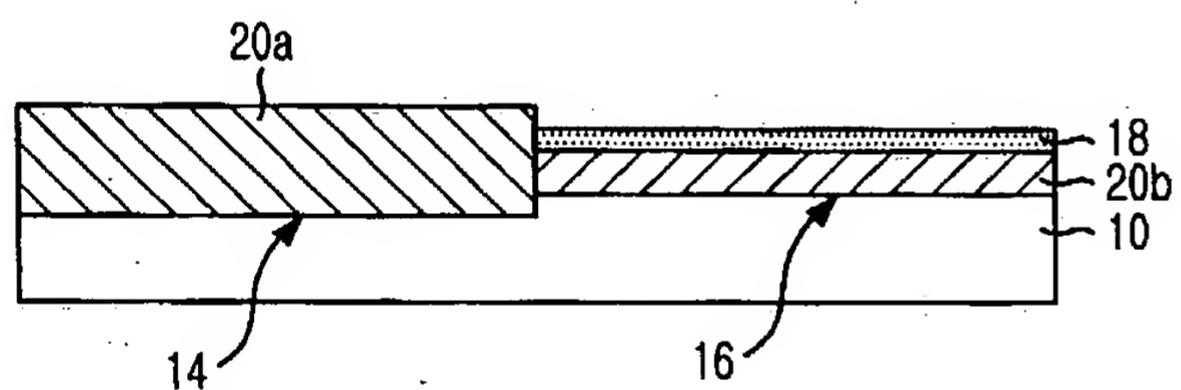
【도 1a】



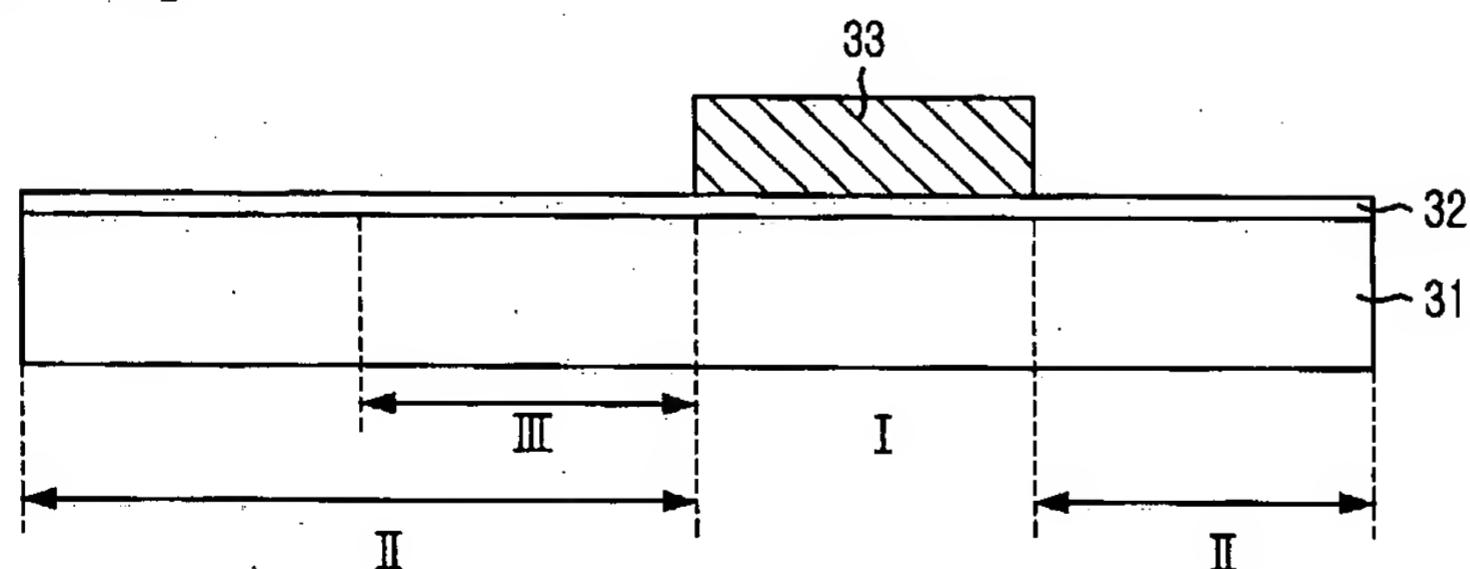
【도 1b】



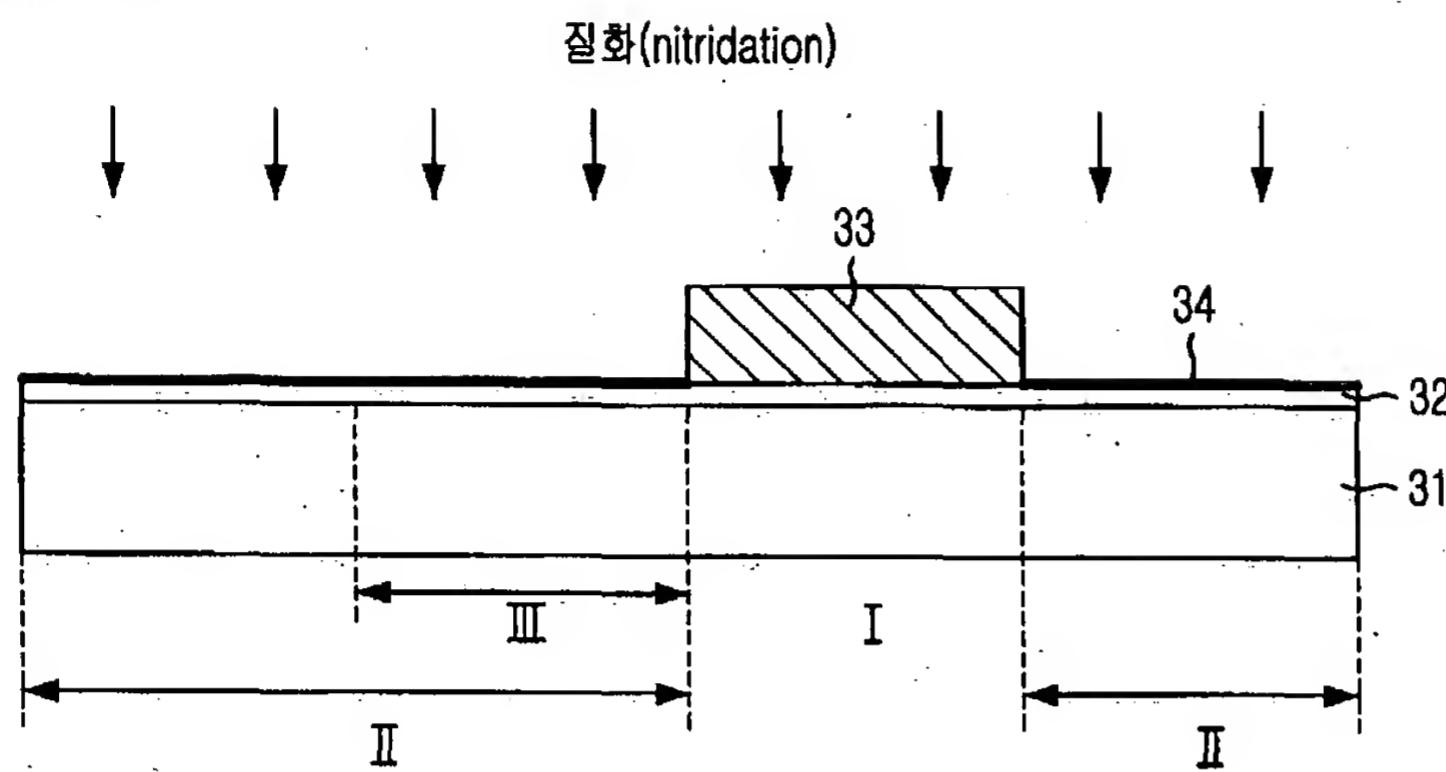
【도 1c】



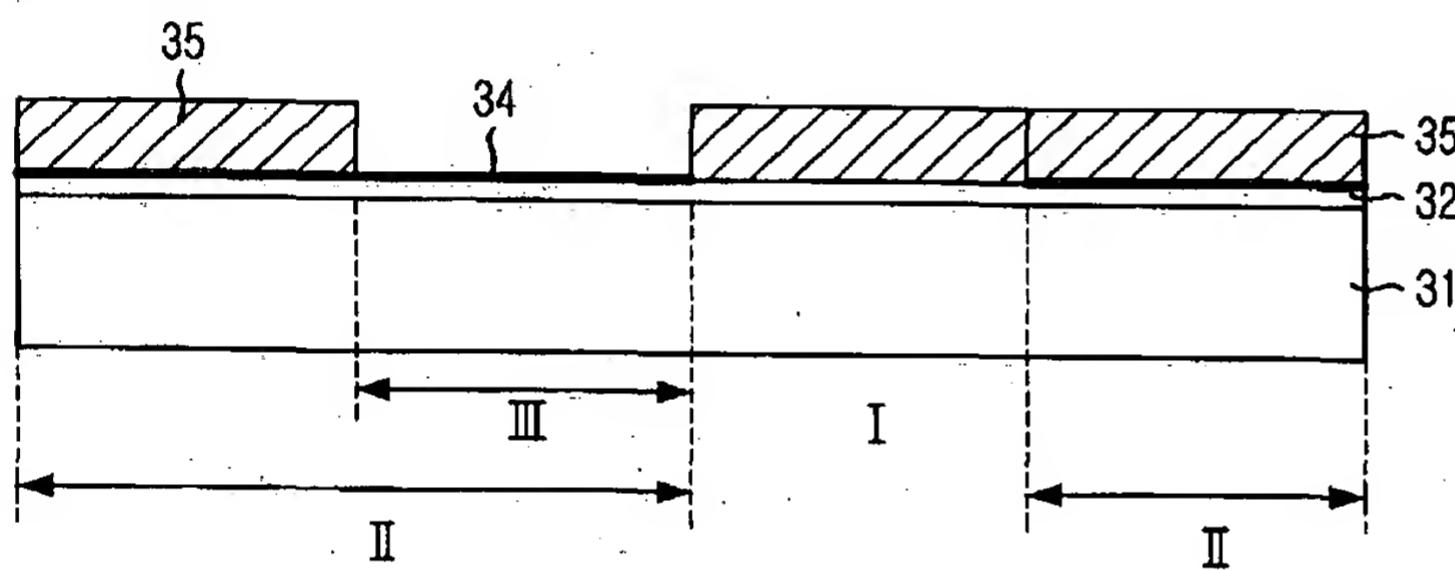
【도 2a】



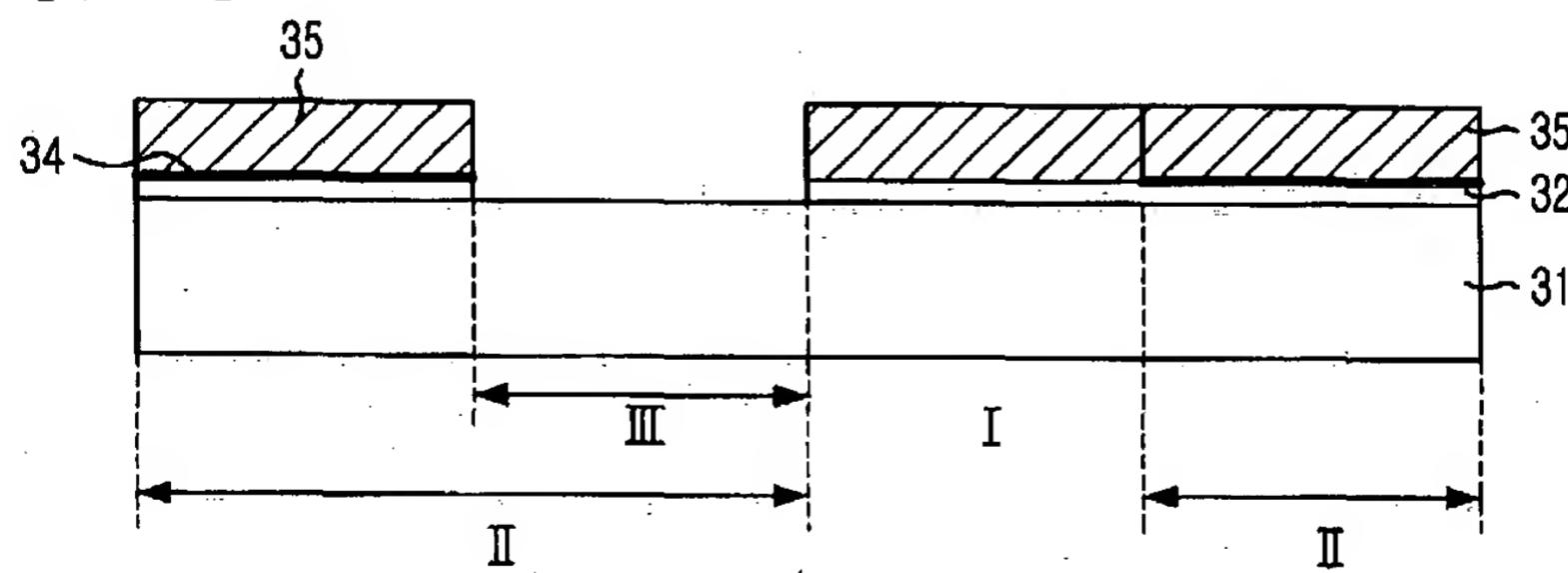
【도 2b】



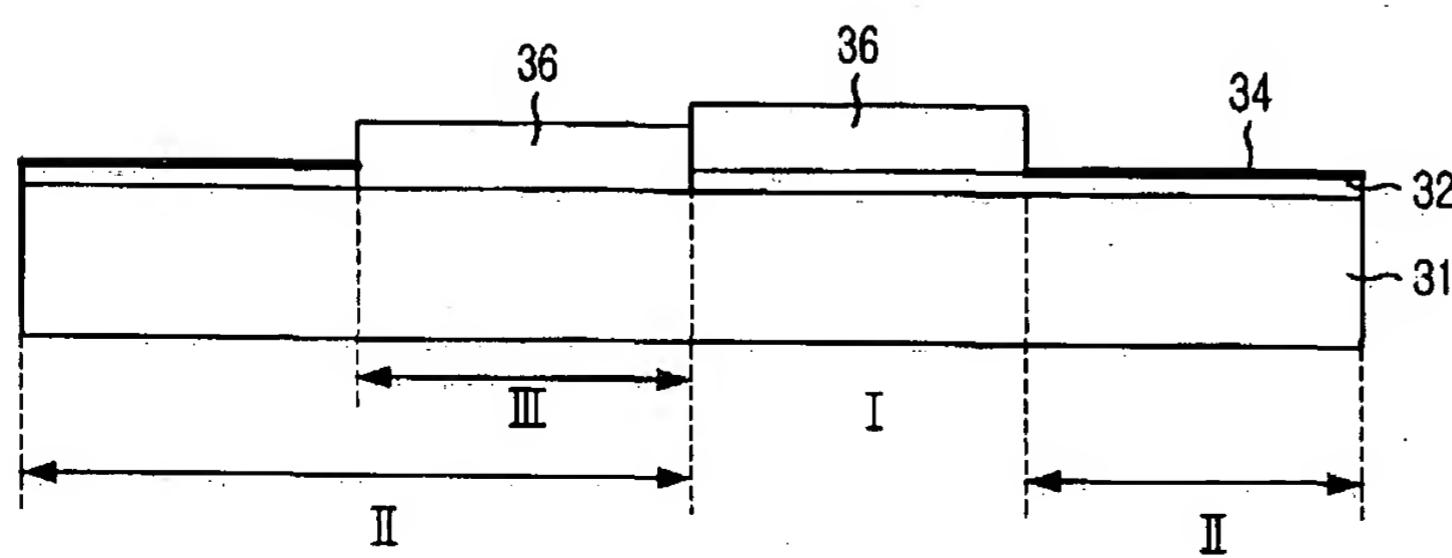
【도 2c】



【도 2d】



【도 2e】





1020020086277

출력 일자: 2003/5/15

【도 3】

